

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-267274

(43)Date of publication of application : 22.09.1994

---

(51)Int.Cl. G11C 11/408  
H03K 17/693  
H03K 19/0175  
H03K 19/003

---

---

(21)Application number : 05-308371 (71)Applicant : INTERNATL BUSINESS MACH  
CORP <IBM>  
(22)Date of filing : 08.12.1993 (72)Inventor : DELP GARY S  
SCHUELKE BRIAN A

---

(30)Priority

Priority number : 92 997380 Priority date : 28.12.1992 Priority country : US

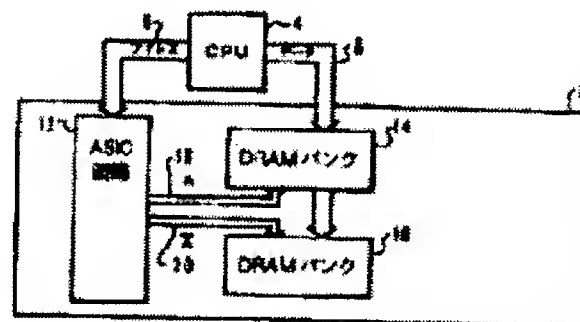
---

(54) MEMORY STORAGE DEVICE INCLUDING IMPROVED OUTPUT DRIVER AND DATA PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To switch the transistor TR of an output driver in a half time by reducing the load of the output driver between an address signal generator and an IC storage device to a half.

CONSTITUTION: An ASIC(application specific IC) circuit 12 receives the address signal transmitted on a system address bus 6 to process the address signal and supplies sets A and the inverse of A of address signals to dynamic (D) RAM banks 14 and 16 through busses 18 and 20. Next, a CPU 4 receives data from the position accessed by the address or writes data in this position through a system data bus 8. Since the load of the output driver between the circuit 12 and a memory IC is reduced to a half in this manner to reduce the peak current on busses 18 and 20 to a half, a maximum allowable current rise rate is a current request in a half time, and the TR of the output driver is switched in a half time.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平6-267274

(43) 公開日 平成 6 年(1994) 9 月22 日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C H 0 3 K 11/408 17/693 19/0175	A	7436-5 J		
		6866-5 L 8941-5 J	G 1 1 C H 0 3 K 11/ 34 19/ 00	3 5 4 B 1 0 1 F
			審査請求 有	請求項の数 9 O L (全 8 頁) 最終頁に続く

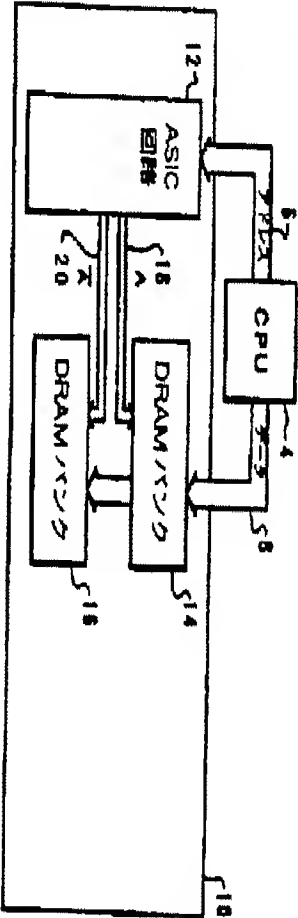
(21) 出願番号 特願平5-308371	(71) 出願人 390009531 インターネット・ビジネス・マシ ン・コーポレイション INTERNATIONAL BUSIN ESS MACHINES CORPO RATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし) ゲリー・エス・デルブ アメリカ合衆国55906、ミネソタ州ロチェ スター、ノース・イースト、サーティサー ド・ストリート 1135 (74) 代理人 弁理士 合田 潔 (外 3 名)
(22) 出願日 平成 5 年(1993)12月 8 日	最終頁に続く
(31) 優先権主張番号 9 9 7 3 8 0	
(32) 優先日 1992年12月28日	
(33) 優先権主張国 米国 (U S)	

(54) 【発明の名称】 改良された出力ドライバを含むメモリ記憶装置及びデータ処理システム

(57) 【要約】

【目的】 改良された半導体メモリ記憶システムを提供すること。特に、出力ドライバのトランジスタが、半分の時間でスイッチできるようにする。

【構成】 複数の出力ドライバを有する、論理出力信号生成ICが開示される。各出力ドライバが、電源バスと出力端子との間に配置されるプル・アップ素子と、出力端子とグラウンド・バスとの間に配置されるプル・ダウン素子とを有する。出力ドライバは制御信号を受信するために、2つで1組の対に構成される。対の第1の出力ドライバのプル・アップ素子及びプル・ダウン素子への制御ゲートは、オン・チップ論理信号を受信するように接続される。対の第2の出力ドライバは、そのプル・アップ素子及びプル・ダウン素子の制御ゲートに対し、上記論理信号の反転信号が供給される。負荷は上記論理信号に対応する出力ドライバと、反転信号に対応する出力ドライバとの間で2つに分割される。



【特許請求の範囲】

【請求項1】 IC記憶装置の第1のバンク（14）及び第2のバンク（16）と、アドレス信号発生器（12）と、上記アドレス信号発生器と上記IC記憶装置の上記第1バンクとの間に接続されて、アドレスを伝送する第1の論理バス（18）と、上記アドレス信号発生器と上記IC記憶装置の上記第2バンクとの間に接続されて、反転アドレスを伝送する第2の論理バス（20）と、を含むメモリ記憶装置。

【請求項2】 上記第1の論理バスと、上記第2の論理バスの各信号線に接続される上記アドレス信号発生器は出力ドライバを含み、

上記第1の論理バスの信号線に接続される上記出力ドライバが、オン・チップ・アドレス信号を受信し、上記第2の論理バスの信号線に接続される上記出力ドライバが、反転オン・チップ・アドレス信号を受信する、請求項1記載のメモリ記憶装置。

【請求項3】 上記アドレス信号発生器がICであって、オン・チップ・アドレス信号を受信する複数の端子と、反転オン・チップ・アドレス信号を生成するために上記端子に接続される複数のインバータと、電源バス及びグラウンド・バスと、

上記電源バスと上記グラウンド・バスとの間に並列に接続される複数の出力ドライバ回路とを含み、各上記出力ドライバ回路が、上記第1のアドレス・バスまたは上記第2のアドレス・バスからの信号線に接続される出力端子、及び上記入力端子の1つまたは上記複数のインバータの1つに接続される制御入力有する、請求項1記載のメモリ記憶装置。

【請求項4】 各上記出力ドライバが、上記電源バスと上記出力端子との間に接続されるプル・アップ素子（30、34、38、42）と、上記出力端子と上記グラウンド・バスとの間に接続されるプル・ダウン素子（32、36、40、44）と、を含む、請求項3記載のメモリ記憶装置。

【請求項5】 中央処理ユニット（4）と、上記中央処理ユニットに接続されるシステム・データ・バス（8）と、

上記中央処理ユニットに接続されるシステム・アドレスバス（6）と、IC記憶装置の第1のバンク（14）及び第2のバンク（16）、及び上記システム・アドレス・バスと上記IC記憶装置の上記第1及び第2のバンクとの間に接続されるアドレス信号発生器（12）を含むメモリ記憶装置とを含み、上記アドレス信号発生器が、該アドレス信号発生器と上記IC記憶装置の上記第1バンクとの間に接続されてアドレスを伝送する第1の論理バス（18）、及び上記アドレス信号発生器と上記IC記憶装置の上記

第2バンクとの間に接続されて反転アドレスを伝送する第2の論理バス（20）により、上記システム・アドレス・バスと上記IC記憶装置の上記第1及び第2のバンクとの間に接続される、データ処理システム。

【請求項6】 上記第1の論理バスと、上記第2の論理バスの各信号線に接続される上記アドレス信号発生器の出力ドライバ（22、24、26、28）を含み、上記第1の論理バスの信号線に接続される上記出力ドライバ（22、26）が、オン・チップ・アドレス信号を受信し、上記第2の論理バスの信号線に接続される上記出力ドライバ（24、28）が、反転オン・チップ・アドレス信号を受信する、請求項5記載のデータ処理システム。

【請求項7】 上記アドレス信号発生器がICであって、オン・チップ・アドレス信号を受信する複数の端子と、反転オン・チップ・アドレス信号を生成するために上記端子に接続される複数のインバータ（33、41）と、電源バス及びグラウンド・バスと、

上記電源バスと上記グラウンド・バスとの間に並列に接続される複数の出力ドライバ回路とを含み、各上記出力ドライバ回路が、上記第1のアドレス・バスまたは上記第2のアドレス・バスからの信号線に接続される出力端子、及び上記入力端子の1つまたは上記複数のインバータの1つに接続される制御入力有する、請求項6記載のデータ処理システム。

【請求項8】 各上記出力ドライバが、上記電源バスと上記出力端子との間に接続されるプル・アップ素子（30、34、38、42）と、上記出力端子と上記グラウンド・バスとの間に接続されるプル・ダウン素子（32、36、40、44）と、を含む、請求項7記載のデータ処理システム。

【請求項9】 上記プル・アップ素子及び上記プル・ダウン素子がCMOS型電界効果トランジスタである、請求項8記載のデータ処理システム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体メモリ記憶システムに関し、特にIC（集積回路）上の複数の出力ポート用の論理ドライバに関する。更に詳しくは、本発明は特に出力ドライバが同期式にスイッチされる出力ドライバに対し、十分な電力を供給することに関する。

【0002】

【従来の技術】 DRAM（ダイナミック・ランダム・アクセス・メモリ）IC、及びSRAM（スタティック・ランダム・アクセス・メモリ）ICは、アドレス信号が供給されて、データの読出し及び書込みのためにアクセスされるデータ記憶装置である。コンピュータ・メモリ・カード上において、アドレス信号がASIC（特定のアプリケーション向けのIC）により生成され、ICを

3

相互接続するワイヤ接続に沿って、DRAM及びSRAM ICへ供給される。ASICの論理部分からのオン・チップ（チップ内部の）アドレス信号が、出力ポート・ドライバ回路に供給され、転送用の信号を発生する。

【0003】周知のように、IC上の素子密度は1980年代から1990年代初期に掛けて、非常に増加した。IC設計者はこの傾向を利用し、各ICを利用することにより、より多くの仕事を達成した。システム・バス的高速動作は、ASICに対し、より高い性能を要求する。例えば、従来は1個の論理ASICが10本のアドレス信号線を扱っていたのが、今日では20本を扱うようになる。これによって追加される複雑化により、全てのアドレス信号線をドライバするのために、論理ASICに十分な電力供給が必要になった。

【0004】電力供給の問題は、単一の電源（V<sub>DD</sub>）バスと単一のグラウンド（GND）バスとの間に、非常に多数の出力ドライバ・スイッチング回路を接続することに起因する。今日のスイッチング周波数において、論理ASICとSRAM ICまたはDRAM ICとの間の距離を考慮すると、各出力ポートの負荷は実質的に行き先のSRAMまたはDRAMによる負荷になる。換言すると、負荷は複数の信号のまとまったグループによる負荷である。相互接続がこの信号のグループによる負荷の場合、不要なグラウンド電圧の上昇及び電流リッギングを制限しなければならない。グラウンドの上昇はグラウンド・バスを通じて流れる一時的な電流により引き起こされる。この電流の変化は、バス上の電圧レベルの変化を予測することを困難とする。これはドライバ内のオン及びオフされるトランジスタに並列接続されたトランジスタの、意図しないスイッチングを引起す場合がある。グラウンド上昇及び電流リッギングの作用は、アドレス信号生成回路において強化される。これは、大部分のまたは全てのドライバの同期スイッチングされる可能性があるからである。グラウンド上昇及び電流リッギングの作用を制御する標準的な方法は、出力信号の電流パルスの立上りスピードを遅くすることである。この電流リッギング及びグラウンド上昇は、スピードの点で回路性能を制限する。

【0005】更に、ドライバの同期スイッチングは、特に多数の隣接する相互接続における信号変化が単方向へ遷移する場合に、IC内部の相互接続間において意図しない誘導結合（Inductive coupling）の可能性を生じる。誘導結合は、アドレス信号線上に意図しない信号を生成することがある。

【0006】電力供給の問題は、あるドライバを別のドライバから独立させるために、IC上に複数の電源バスを用意することでは容易に解決できない。こうした解決法ではIC設計において高価となり、不必要な複雑化を招いたりする。

【0007】

4

【発明が解決しようとする課題】本発明の目的は、改良された半導体メモリ記憶システムを提供することである。

【0008】本発明の別の目的は、IC上の複数の出力ポートに対応する論理ドライバを提供することである。

【0009】本発明の更に別の目的は、特に出力ドライバが同期式にスイッチされる可能性のあるICにおいて、ICの電力供給制限内で動作する複数の論理出力ドライバを有するICを提供することである。

【0010】

【課題を解決するための手段】本発明は出力信号生成IC上に、電源バスとグラウンド・バスとの間に並列に接続される複数の出力ドライバを提供する。各出力ドライバは、電源バスと出力端子間に配置されるプル・アップ素子、及び出力端子とグラウンド・バス間に配置されるプル・ダウン素子を有する。出力ドライバは制御信号を受信するために、2個1組の対で構成される。対の第1の出力ドライバのプル・アップ素子及びプル・ダウン素子への制御ゲートは、IC内部のオン・チップ論理信号を受信するように接続される。対の第2の出力ドライバは、そのプル・アップ素子及びプル・ダウン素子の制御ゲートに対し、上記論理信号の反転信号が供給される。インバータは反転信号を提供するように、論理信号に対して動作する。オン・チップ信号の負荷はその信号に対応する出力ドライバと、反転信号に対応する出力ドライバとの間で分割される。

【0011】

【実施例】

【数1】

Σ

は、以降バーXと記載する。

【0012】図1を参照すると、回路基板上に構成され、中央処理ユニット（CPU）4を基本とするデータ処理システム内で使用されるメモリ回路10のプロック図が示される。メモリ回路10はASIC12、DRAMの第1バンク14、DRAMの第2バンク16、及びASIC12をDRAMバンク14及びDRAMバンク16にそれぞれ接続するアドレス・バス18及び20を含む。アドレス・バス18は複数のアドレス信号線を有し、アドレス信号のセットAを伝達する。アドレス信号のセット・バーAを伝達する。これはアドレス信号セットAの反転である。アドレス・バス18及びアドレス・バス20の信号線は、隣接信号線間の誘導結合作用を防ぐために、インタレースされる場合もある。任意のメモリ位置の半分のビットは、DRAMバンク14に“反転前”のアドレスを供給することによりアクセスされ、その位置の残りの半分のビットは、DRAMバンク16に真アドレスの反転を供給することによりアクセスされる。ワードは異なるアドレスを有する位置に記憶される2つ

5  
の複数ビットの組により形成されるが、アドレスとその反転アドレスとの間には1対1の対応が存在するために、現実的には問題は生じない。

【0013】ASIC12が、メモリICとCPU4などのコンピュータ・マイクロプロセッサとの間に配置され、システム・アドレス・バス6上を伝送されるアドレスを受信する。ASIC12はこのアドレス信号を処理し、それらの信号をバス18及び20を介して、DRAMバンク14及び16は複数のメモリICを含み、従って、各相互接続は複数の負荷を有する。CPU4は次にシステム・データ・バス8を介し、アドレスによりアクセスされる位置からデータを受信するか、その位置にデータを書込む。

【0014】図2は、ASIC12とメモリICとの間の相互接続をバンプアップするのに、好適な出力ドライバの回路を示す。4つの出力ドライバ22、24、26及び28が示され、アドレス・バス18及び20に供給される出力アドレス信号 $A_k$ 、 $\overline{A_k}$ 、 $A_{k+1}$ 、及び $\overline{A_{k+1}}$ を出力する。各出力ドライバは従来式であり、全て共通電源バスと共通グラウンドとの間に並列に接続される。

【0015】出力ドライバ22は、電源( $V_{DD}$ )バスと出力端子31との間に接続されるPチャネル電界効果トランジスタ30を含む。出力端子31とグラウンド・バスとの間に接続されるnチャネル電界効果トランジスタ32は、プル・ダウン素子を提供する。トランジスタ30及び32の制御ゲートは、アドレス生成回路46からのアドレス信号 $a_k$ を提供するオン・チップ・アドレス信号線に接続される。

【0016】出力ドライバは全て拡張モード素子を使用する、実質的に同一なCMOSインバータである。Pチャネル素子は対角線を有する長方形で示され、nチャネル素子は単なる長方形で示される。ドライバ22において、Pチャネル電界効果トランジスタ30は、そのドレインが電源バスに接続され、そのソースは出力端子31に接続される。トランジスタ30のゲートは供給されるトランジスタ基板に対して低電位のロウ信号は、トランジスタをオンし、出力端子31を電源バスに接続する。nチャネル・トランジスタ32のゲートに供給される同一のロウ信号は、素子をオフし、出力端子31をグラウンドから切り離す。結果的に出力端子31はハイにプル・アップされる。出力端子31は同様にして、ロウにプル・ダウンされる。nチャネル素子32はそのソースがグラウンドに接続され、ドレインが出力端子31に接続される。ゲート上の信号がハイとなると、トランジスタがオンされ、出力端子をグラウンドに接続する。同時にトランジスタ30はオフされ、出力端子31を $V_{DD}$ から切り離す。

【0017】出力ドライバ24は、電源( $V_{DD}$ )バスと

出力端子35との間に接続されるPチャネル電界効果トランジスタ34を含む。出力端子35とグラウンド・バスとの間に接続されるnチャネル電界効果トランジスタ36は、プル・ダウン素子を提供する。トランジスタ34及び36の制御ゲートは、アドレス生成回路46からのアドレス信号 $a_k$ を提供するオン・チップ・アドレス信号線上の信号に作用するインバータ33の出力に接続される。従って、トランジスタのゲートに供給される信号は、アドレス信号 $a_k$ の反転であり、出力ドライバ22及び24は出力ドライバの対となる。

【0018】出力ドライバ26は、電源( $V_{DD}$ )バスと出力端子39との間に接続されるPチャネル電界効果トランジスタ38を含む。出力端子39とグラウンド・バスとの間に接続されるnチャネル電界効果トランジスタ40は、プル・ダウン素子を提供する。トランジスタ38及び40の制御ゲートは、アドレス生成回路46からのアドレス信号 $a_{k+1}$ を提供するオン・チップ・アドレス信号線に接続される。

【0019】出力ドライバ28は、電源( $V_{DD}$ )バスと出力端子43との間に接続されるPチャネル電界効果トランジスタ42を含む。出力端子43とグラウンド・バスとの間に接続されるnチャネル電界効果トランジスタ44は、プル・ダウン素子を提供する。トランジスタ42及び44の制御ゲートは、アドレス生成回路46からのアドレス信号 $a_{k+1}$ を提供するオン・チップ・アドレス信号線上の信号に作用するインバータ41の出力に接続される。従って、トランジスタのゲートに供給される信号は、アドレス信号 $a_{k+1}$ の反転となる。

【0020】図3は出力ドライバ対の動作、及びこれと同数のビット記憶位置をアクセスするために使用される単一の出力ドライバの動作との比較を表す。ここで、アドレス・ビットを生成する出力ドライバ対の一方の出力ドライバに対応する負荷を1とする。従って、メモリ回路の全てのICに相互接続される従来の出力ドライバでは、同じメモリ容量に対応して、負荷は2Lとなる。

【0021】入力45は時刻 $t_1$ において、論理ハイから論理ロウに遷移するオン・チップ・アドレス信号 $a_k$ を表す。入力が負荷2Lをドライブする出力ドライバの制御ゲートに供給される場合、時刻 $t_1$ とアドレス・ライン信号 $A_k$ の出力47がハイに遷移する時刻 $t_2$ との間に遅延 $d_t$ が生じる。これに対し入力 $a_k$ が負荷1に接続される第1の出力ドライバのゲートに供給され、反転入力 $a_k$ が負荷1に接続される対の第2の出力ドライバのゲートに供給される場合には、時刻 $t_1$ と $A_k$ を表す出力48がハイに遷移し、且つ $\overline{A_k}$ を表す出力49がロウに遷移する時刻 $t_2$ との間の遅延は後述の理由により1/2 $d_t$ となる。

【0022】応答時間に関する改善の理由が、図3の電流値を表す図を参照して理解される。曲線50及び52は、負荷2Lに接続される出力ドライバのスエッチング

により、それぞれ電源バス及びグラウンド・バス上に引込まれる電流を表す。電源バス上の電流は、信号47がハイに遷移する時刻 $t_3$ において $-P$ となり、グラウンド・バス上の電流は、信号47がロウに遷移する時刻 $t_4$ において $+P$ となる。負荷が真（すなわち、反転しない）及び反転の出力ドライバ間で分割されると、電流のピーク回数は2倍となるが、その大きさは半分となる。曲線54及び56は、対の出力ドライバにより電源バス上及びグラウンド・バス上に引込まれる電流をそれぞれ表す。時刻 $t_2$ 及び $t_4$ において、電源バス上に $-1/2P$ の電流ピークが発生し、前者は信号48のハイへの遷移、後者は信号49のハイへの遷移にそれぞれ対応する。グラウンド・バス上においても、時刻 $t_2$ 及び $t_4$ において、 $+1/2P$ の電流ピークが発生し、前者は信号49のロウへの遷移、後者は信号48のロウへの遷移に対応する。

【0023】

【発明の効果】 以上説明したように、本発明によれば、出力ドライバの負荷を半分に低減することにより、所定のバス上におけるピーク電流が半分に低減されるため、

\* 最大許容電流立上りレートが、従来の半分の時間の電流要求となる。出力ドライバのトランジスタは、半分の時間でスイッチできる。

【図面の簡単な説明】

【図1】 コンピュータ・メモリ・システムのブロック図である。

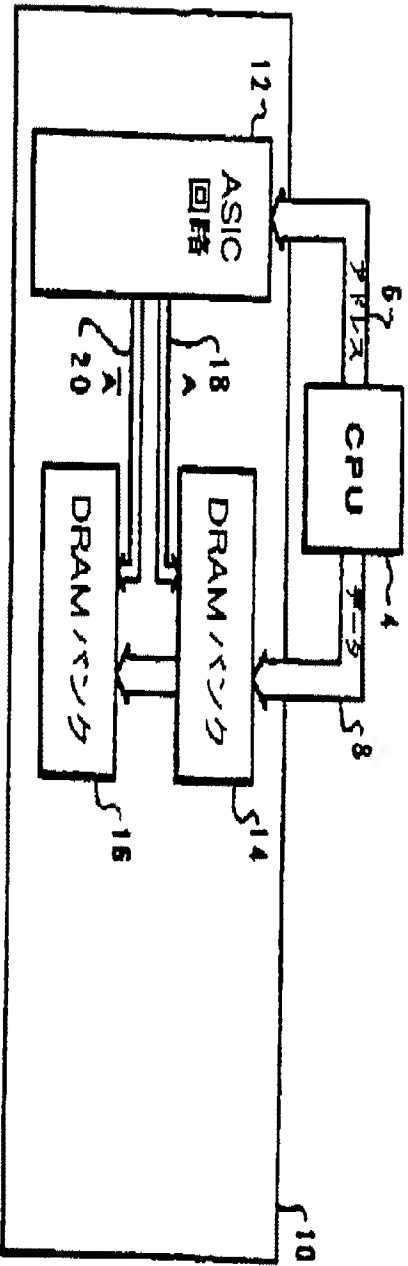
【図2】 図1のメモリ・システムにおいて使用される出力ドライバの回路図である。

【図3】 メモリ・システムにおける出力ドライバの動作を表すタイミング図である。

【符号の説明】

- 4 中央処理ユニット（CPU）
- 6 システム・アドレス・バス
- 10 メモリ回路
- 12 ASIC回路
- 14 DRAMの第1バンク
- 16 DRAMの第2バンク
- 18、20 アドレス・バス
- 46 アドレス生成回路

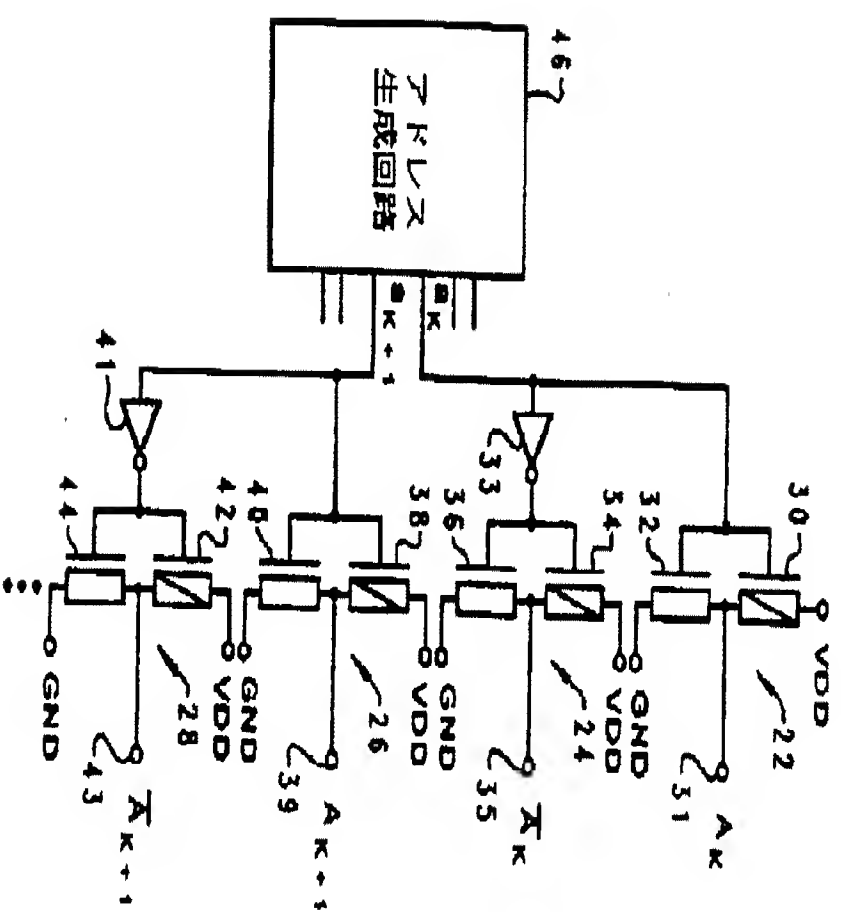
【図1】



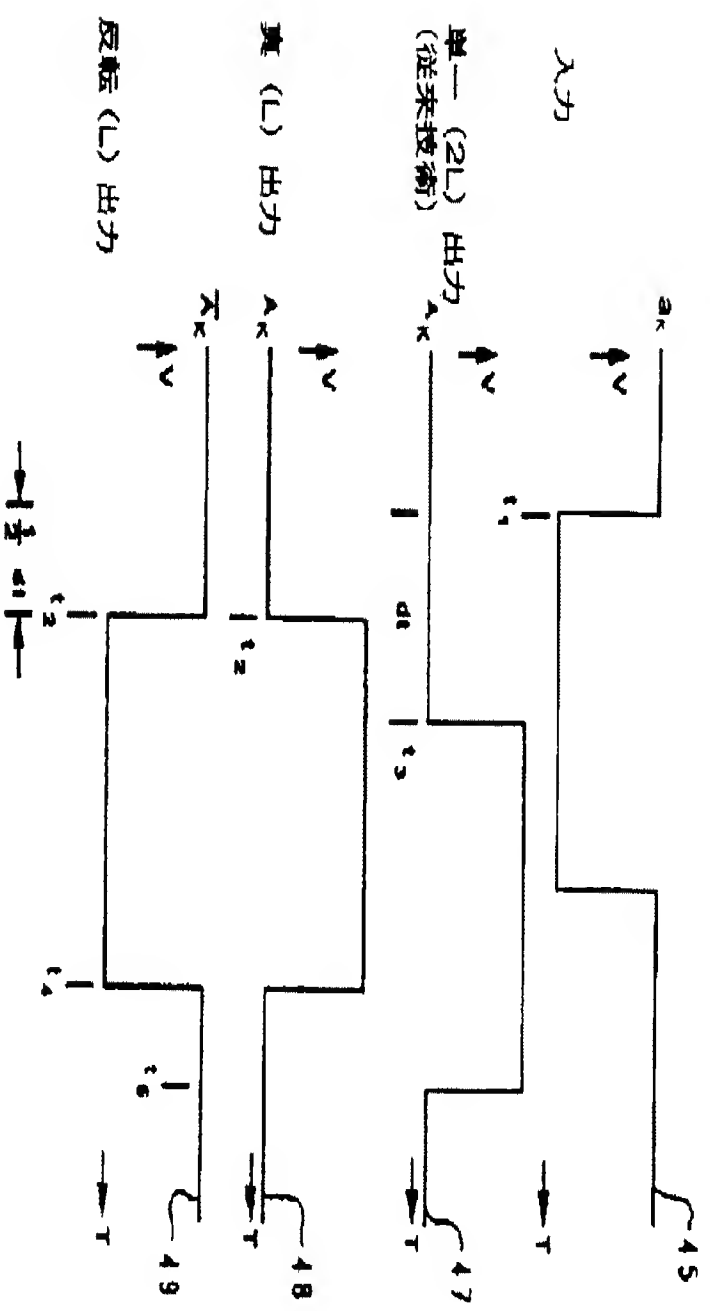
(6)

特開平6-267274

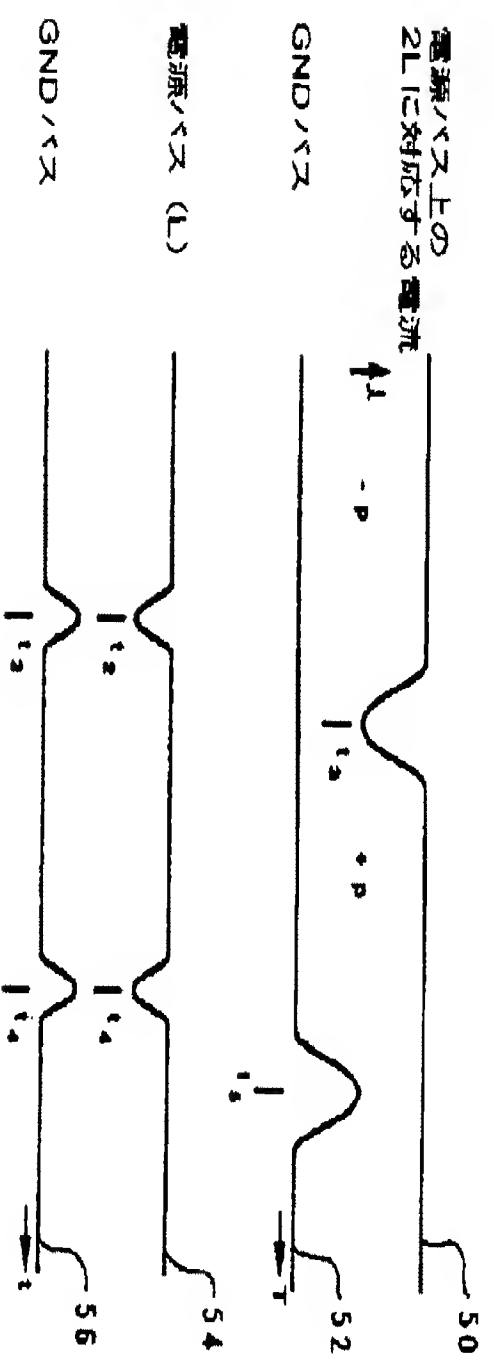
【図2】



【 3】



電源バス上の電流





(8)

特開平6-267274

(72)発明者

ブライアン・エイ・シュエルク  
アメリカ合衆国55901、ミネソタ州ロチェ  
スター、ノース・ウエスト、トウエンティ  
シックス・アベニュー 5609